



Réalisation d'un convertisseur temps numérique en technologie AMS CMOS 0,35 micron

O. Bourrion, L. Gallin-Martel

► To cite this version:

O. Bourrion, L. Gallin-Martel. Réalisation d'un convertisseur temps numérique en technologie AMS CMOS 0,35 micron. 2005, pp.1-20. in2p3-00024040

HAL Id: in2p3-00024040

<https://hal.in2p3.fr/in2p3-00024040>

Submitted on 14 Apr 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Réalisation d'un convertisseur temps numérique en technologie AMS CMOS 0,35µm

Table des matières :

1	<u>INTRODUCTION</u>	2
2	<u>DESCRIPTION D'UN MODULE</u>	2
3	<u>PRINCIPE DE FONCTIONNEMENT DU CTN</u>	3
4	<u>DESCRIPTION DE LA DLL</u>	5
4.1	CELLULE RETARD CONTROLEE EN TENSION	5
4.2	COMPARATEUR DE PHASE	6
4.3	POMPE DE CHARGE ET ETAGE SHIFTER	7
5	<u>LOGIQUE DE MEMORISATION</u>	7
6	<u>ARCHITECTURE DE LA PARTIE NUMERIQUE</u>	8
6.1	INTERFACE	8
6.2	SYNOPTIQUE	8
6.2.1	LIGNE A RETARD ANALOGIQUE	8
6.2.2	MEMORISATION DE L'ETAT DE LA LIGNE A RETARD	8
6.2.3	BLOC DE DECODAGE DE L'ETAT DE LA LIGNE A RETARD	10
6.2.4	PARTIE COMPTAGE SYNCHRONE	12
6.2.5	PRECAUTIONS DE ROUTAGE	14
7	<u>IMPLANTATION</u>	16
8	<u>TEST DU CIRCUIT</u>	17
8.1	CARTE DE TEST	17
8.1.1	METHODE DE MESURE DE LA LINEARITE INTEGRALE	17
8.1.2	METHODE DE MESURE DE LA LINEARITE DIFFERENTIELLE	18
8.2	LOGICIEL DE TEST	18
8.3	RESULTAT DU TEST DES CINQ PROTOTYPES	19
8.4	RESUME DES CARACTERISTIQUES DU CTN A TEMPERATURE AMBIANTE :	20
9	<u>REFERENCES :</u>	20

Liste des figures :

<i>Figure 1 : Module de détection</i>	3
<i>Figure 2 : Principe de fonctionnement du CTN</i>	4
<i>Figure 3 : Schéma synoptique du CTN</i>	4
<i>Figure 4 : Cellule de retard élémentaire</i>	5
<i>Figure 5 : Comparateur de phase</i>	6

Figure 6 : Evolution du retard de la ligne	6
Figure 7 : Pompe de charge et étage shifter	7
Figure 8 : Cellule retard et logique de mémorisation	7
Figure 9: Interface du TDC	8
Figure 10 : Principe de la ligne à retard	8
Figure 11 : Registre de mémorisation (intégrée en full custom) et génération de data_available	9
Figure 12 : Chronogramme du temps mort du TDC	9
Figure 13 : Chronogramme des horloges retardées	10
Figure 14 : Détection de la position du front	11
Figure 15 : Utilisation des compteurs « grossiers »	12
Figure 16 : Illustration de l'utilisation des 2 compteurs	13
Figure 17 : Fonctionnement avec compteurs mal démarrés	13
Figure 18 : Non linéarité différentielle	19
Figure 19 : balayage des canaux 9 et 10 du CTN	20

1 Introduction

L'imagerie médicale qui était autrefois réservée au domaine clinique est devenue un outil indispensable dans de nombreuses recherches. Dans son principe, l'imagerie fonctionnelle in vivo utilisant des marqueurs radioactifs est la technique qui permet les explorations des systèmes biologiques les plus complètes en raison de la variété des traceurs. Dans ce domaine, la tomographie d'émission de positons (TEP) permet de réaliser des explorations du vivant à l'échelle de la picomole. Cette imagerie consiste à détecter en coïncidence les deux photons émis dans des directions opposées après annihilation du positon. Le LPSC s'est engagé dès 2001 dans le cadre du programme interdisciplinaire IPA (Imagerie du Petit Animal), dans un projet de R&D sur un tomographe TEP à xénon liquide basé sur le fort rendement lumineux de ce scintillateur rapide (voir REF 1 et REF 2). Un autre intérêt du liquide est la possibilité de concevoir des géométries variées, donc non soumises à la taille des cristaux. Les cristaux habituellement utilisés tels que le LSO, disposés radialement, sont remplacés ici par des cellules de xénon liquide disposées axialement. La difficulté de l'entreprise réside dans le fait que la luminescence est dans l'UV, centrée vers 175 nm, ce qui est un défi pour les guides de lumière et les détecteurs qui doivent de plus fonctionner à une température voisine de 165K. La lumière est collectée aux extrémités de chaque cellule par des photomultiplicateurs à localisation (PSPMT), qui délivrent directement la localisation dans le plan radial (x et y) alors que la comparaison des signaux de ces deux PSPMT permet d'accéder à la troisième coordonnée z (le LPSC étudie également la possibilité d'utiliser des APD - **A**valanche **P**hotodiodes - en lieu et place des PM). Les simulations montrent que ce concept permettrait une nette amélioration de la résolution par rapport aux μ TEP existants, basés sur des cristaux solides.

2 Description d'un module

Un module est composé d'une cellule de xénon, de deux photomultiplicateurs (ou deux matrices de photodiodes à avalanche) et d'une électronique de lecture auto-déclenchée. Cette électronique doit permettre la localisation de l'interaction du photon (dans la cellule de xénon liquide ainsi que le marquage en temps de cette interaction. L'ensemble des éléments de ce module sera situé dans le cryostat à la température de 165 K.

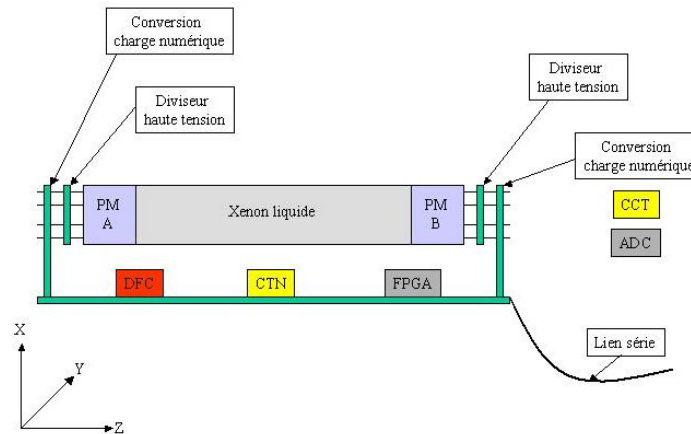


Figure 1 : Module de détection

La mesure de charge pour chaque pixel permet d'obtenir, après analyse, les coordonnées X, Y et Z de l'interaction du photon (dans le scintillateur). Cette mesure de charge est réalisée par l'ensemble CCT (**C**onvertisseur **C**harge **T**ension) et ADC (convertisseur analogique numérique) dans la **Figure 1**. Le CCT a également fait l'objet du développement d'un ASIC en 2004. Ce circuit, destiné au traitement de signaux issus d'un photomultiplicateur, ne sera pas décrit dans ce rapport. L'ensemble DFC (discriminateur à fraction constante) et CTN (convertisseur temps numérique) assure le marquage en temps des événements. Les différents circuits du module sont contrôlés par un circuit programmable de type FPGA qui assure également le stockage des données en attente d'acquisition. Chacun des 16 modules du μ TBP fonctionne indépendamment des autres et signale au système d'acquisition (DAQ) qu'une interaction s'est produite. Le DAQ recherche alors si il y a, parmi les 16 modules, deux modules diamétralement opposés qui afficheraient le même marquage en temps. Cette recherche de coïncidence devra sans doute être plus complexe et concernera plus que 2 modules opposés.

3 Principe de fonctionnement du CTN

Ce circuit, conçu en technologie AMS CMOS 0.35 μ , permet le marquage en temps des interactions qui se sont produites dans le module. Cette donnée correspond en fait au codage de l'intervalle de temps qui s'est écoulé entre le dernier front montant d'une horloge commune à tous les modules (CLK signal START) et le signal fourni par le DFC de chaque module (signal STOP). La **Figure 2** illustre le fonctionnement du circuit.

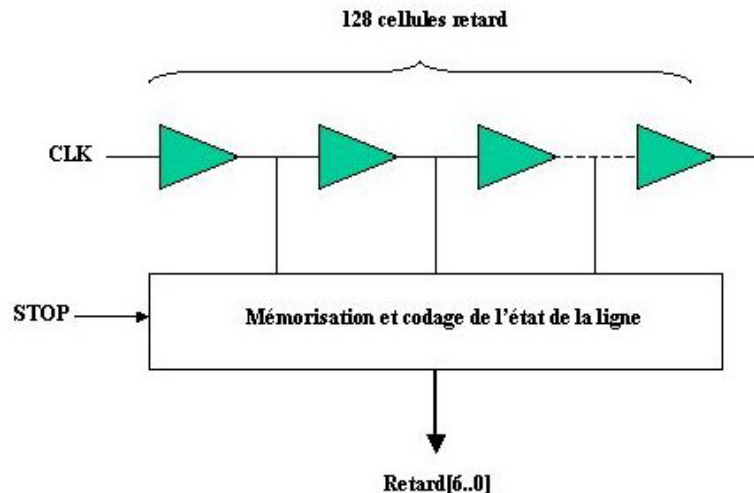


Figure 2 : Principe de fonctionnement du CTN

Le CTN utilise une ligne à retard comprenant 128 cellules de retard élémentaire dans laquelle se propage le signal d'horloge CLK. Lorsque le signal STOP est activé, l'état de la ligne est mémorisé et la logique de codage recherche la position du front montant du signal CLK dans la ligne à retard. Le retard entre le front montant de CLK et le signal STOP est alors obtenu par le produit de la position par la valeur du retard élémentaire. La logique de codage ne peut fonctionner que si il y a un et un seul front montant du signal CLK dans la ligne. Il faut donc que le retard cumulé des 128 cellules soit exactement égal à une période de CLK. Chaque cellule retard étant composée de deux inverseurs CMOS il est impossible de remplir la condition précédente sans un contrôle de la vitesse de commutation de chaque inverseur. La différence de retard entre deux inverseurs provenant de deux wafers différents peut aller du simple au double, de plus ces retards sont dépendants de la température ainsi que de la tension d'alimentation. L'asservissement de la ligne est réalisé en utilisant une **DLL** (**D**elay **L**ocked **L**oop : boucle à verrouillage de retard). La **Figure 3** montre le schéma synoptique du CTN.

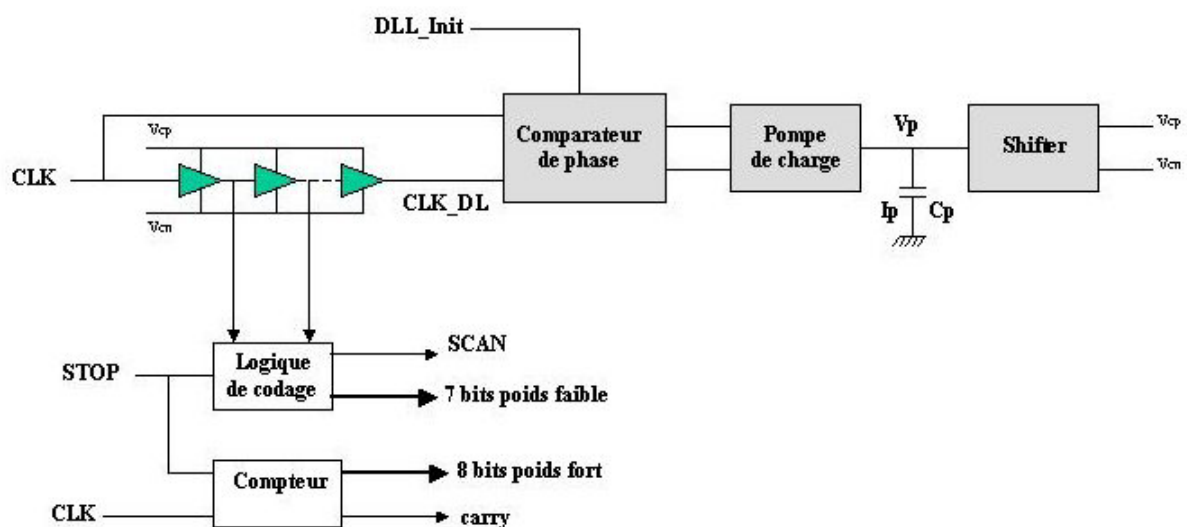


Figure 3 : Schéma synoptique du CTN

La DLL est constituée de la ligne à retard, d'un comparateur de phase, d'une pompe de charge et d'un étage « shifter » générant les tensions de contrôle V_{cn} et V_{cp} .

Le comparateur de phase commande la pompe de charge (et donc la vitesse de la ligne) de façon à ce que le retard entre les signaux **CLK** et **CLK_DL** soit nul. Avec un tel dispositif il y a un risque qu'à la mise sous tension la DLL se verrouille sur un retard qui soit non pas égal à une période de CLK mais à un multiple de cette période.

L'entrée **DLL_init** permet d'initialiser les tensions V_{cn} et V_{cp} à des valeurs conduisant à un retard faible pour les inverseurs de la ligne. Quand le signal **DLL_init** est désactivé le retard de la ligne est alors augmenté jusqu'à obtenir la valeur d'une période de CLK. Comme nous l'avons vu précédemment, la logique de codage fournit un mot de 7 bits correspondant au retard entre les signaux CLK et STOP.

La sortie **SCAN** donne accès, en mode test, à l'état logique des 128 cellules retard de la ligne (sortie série). Le CTN comprend également un compteur 8 bits qui permet d'étendre la pleine échelle à une valeur de 256 périodes de l'horloge CLK.

4 Description de la DLL

4.1 Cellule retard contrôlée en tension

Cette cellule de retard est composée de deux inverseurs dont la vitesse de commutation est contrôlée par les tensions V_{cn} et V_{cp} .

Cette configuration est très symétrique et assure une bonne conservation du rapport cyclique de l'horloge se propageant dans la ligne sans imposer de contraintes sur les tensions V_{cn} et V_{cp} . La **Figure 4** montre le schéma de cette cellule retard.

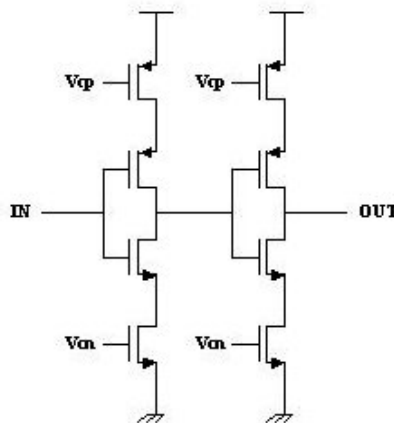


Figure 4 : Cellule de retard élémentaire

La résolution désirée pour ce CTN est d'environ 250 ps ce qui est obtenu en utilisant une ligne de 128 cellules et une horloge à 32 MHz. Les transistors de cette cellule ont été dimensionnés en tenant compte des capacités d'interconnexion (simulation post-layout) ainsi que des paramètres limites de la technologie. Il est possible d'obtenir une résolution légèrement supérieure en n'asservissant qu'un seul des deux inverseurs ou en ne contrôlant que les NMOS de chaque inverseur. Dans ces deux cas la conservation du rapport cyclique du signal CLK peut nécessiter un asservissement sur les fronts montants et descendants de ce signal si on veut mettre en œuvre une ligne de 128 cellules (voir REF 4). La résolution limite de cette technologie, obtenue en simulant deux inverseurs non contrôlés et en ignorant les capacités d'interconnexion, est de 160 ps pour les paramètres lents de process.

4.2 Comparateur de phase

Le comparateur de phase détermine si le front montant du signal CLK intervient avant ou après le front montant du signal CLKDL issu de la ligne à retard. Cette fonction est réalisée en utilisant des bascules RS.

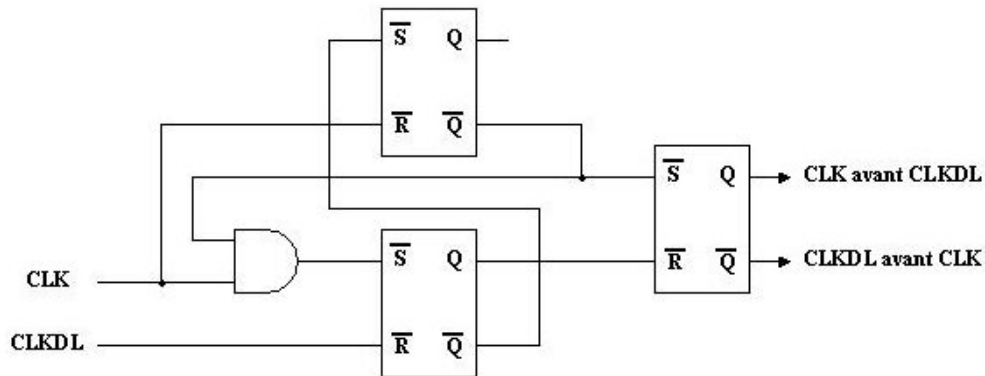


Figure 5 : Comparateur de phase

Si le front montant de CLK se produit avant celui de CLKDL la sortie **CLK avant CLKDL** est activée, ce qui conduit à une augmentation de la tension de la pompe de charge et donc à une diminution du retard de la ligne.

Le comparateur de phase reste dans cet état tant que la différence de phase entre CLK et CLKDL ne s'est pas inversée. Avec un tel comparateur, le retard de la ligne oscille autour de la valeur d'une période de CLK ce qui se traduit par un jitter intrinsèque à la DLL (**Figure 6**).

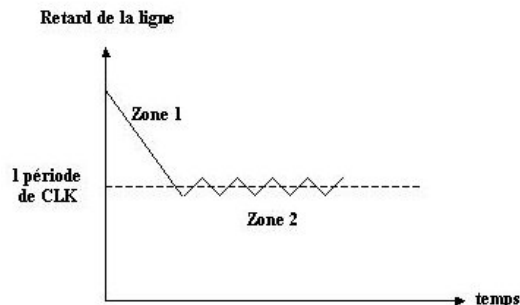


Figure 6 : Evolution du retard de la ligne

La zone 1 de la **Figure 6** correspond à la phase de synchronisation de la DLL. Dans la zone 2 la DLL est verrouillée et le retard total de la ligne oscille autour de sa valeur nominale. La gamme de verrouillage de ce comparateur s'étend de $0.5 \times T_{clk}$ à $1.5 \times T_{clk}$. La valeur du jitter dépend de l'incrément de tension en sortie de la pompe de charge et donc de la valeur du condensateur associé à cette pompe. D'autres architectures de comparateurs de phase n'introduisent pas ce type de jitter mais peuvent présenter des zones mortes dans lesquelles le comparateur est aveugle ce qui est à l'origine d'une autre forme de jitter (voir REF 5). Le schéma de la **Figure 5** a été implémenté en utilisant les portes NAND de la bibliothèque AMS. Le dessin de ce comparateur doit être symétrique pour ne pas introduire d'offset de phase.

4.3 Pompe de charge et étage shifter

La pompe de charge utilise les signaux de sortie du comparateur de phase pour faire varier la charge dans le condensateur qui lui est associé. Son principe de fonctionnement est illustré par la Figure 7.

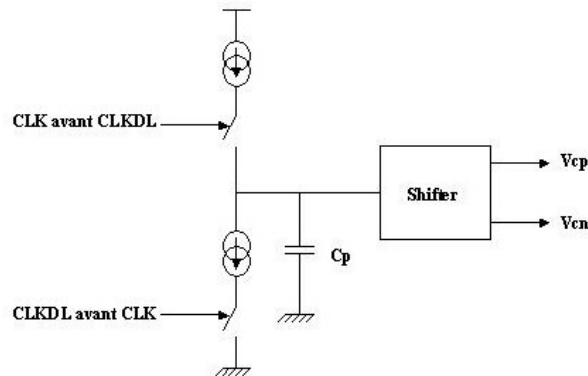


Figure 7 : Pompe de charge et étage shifter

Les signaux issus du comparateur permettent de commuter deux sources de courant et ainsi de charger ou décharger le condensateur C_p . Comme nous l'avons vu précédemment la valeur du jitter dépend de l'incrément de tension aux bornes de ce condensateur et donc de la valeur du courant ainsi que de celle de C_p . Pour ce CTN le choix a été de fixer la valeur du courant (environ $10\mu A$) et d'utiliser un condensateur externe au circuit. L'étage shifter génère les tensions V_{cn} et V_{cp} qui contrôlent la vitesse de commutation des inverseurs de la ligne. Le retard d'un inverseur en fonction de sa tension de commande est une fonction extrêmement non linéaire, le shifter permet, de plus, de linéariser cette caractéristique (voir REF 6).

5 Logique de mémorisation

Cette fonction ne fait pas, à proprement parler, partie de la DLL mais elle est néanmoins décrite dans ce paragraphe car elle a été dessinée dans le même bloc que la cellule de retard élémentaire. Cela permet d'assurer que toutes les cellules retard voient la même charge. Le motif de la Figure 8 est répété 128 fois pour la ligne complète. La logique de mémorisation est composée d'un buffer chargé de rétablir les fronts du signal d'horloge se propageant dans la ligne et d'une bascule D.

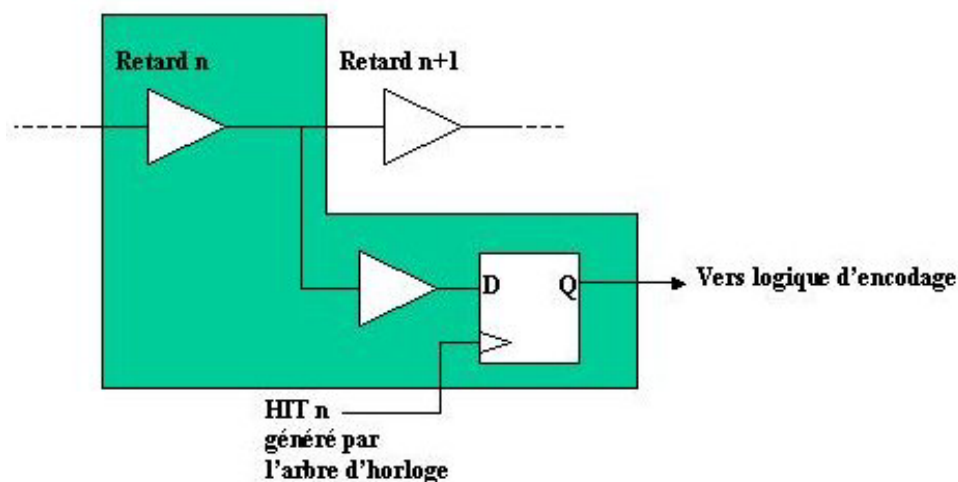


Figure 8 : Cellule retard et logique de mémorisation

Le signal HITn est issu d'un arbre d'horloge distribuant le signal STOP aux 128 cellules. Cet arbre est décrit dans 6.2.5 page 14 .

6 Architecture de la partie numérique

6.1 Interface

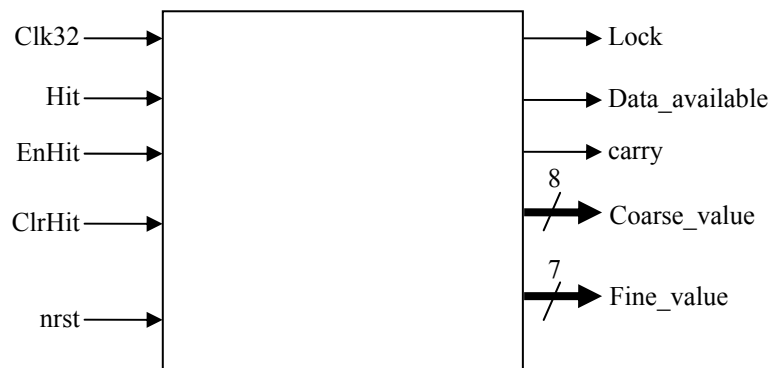


Figure 9: Interface du TDC

Total broches numériques = $4 + 20 = 24$. (Sans compter la fonctionnalité permettant la relecture de l'état de la ligne de mémorisation, 3 fils)

6.2 Synoptique

6.2.1 Ligne à retard analogique

Elle est constituée de 128 buffers en série ayant un retard programmable.

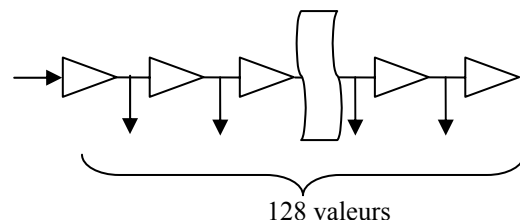


Figure 10 : Principe de la ligne à retard

Elle est asservie de manière à ce que le retard total des 128 cellules soit égal à la période de l'horloge de référence.

6.2.2 Mémorisation de l'état de la ligne à retard

Lors de l'arrivée d'une impulsion, il faut mémoriser l'état de la ligne à retard de façon à pouvoir l'encoder, et ainsi pouvoir donner la fraction de période d'horloge au moment de l'impulsion.

Elle consiste en un registre de bascule D chargeant l'état de la ligne sur le front montant de son horloge. Ce front est généré grâce à une bascule permettant la gestion du veto et évitant le déclenchement multiple.

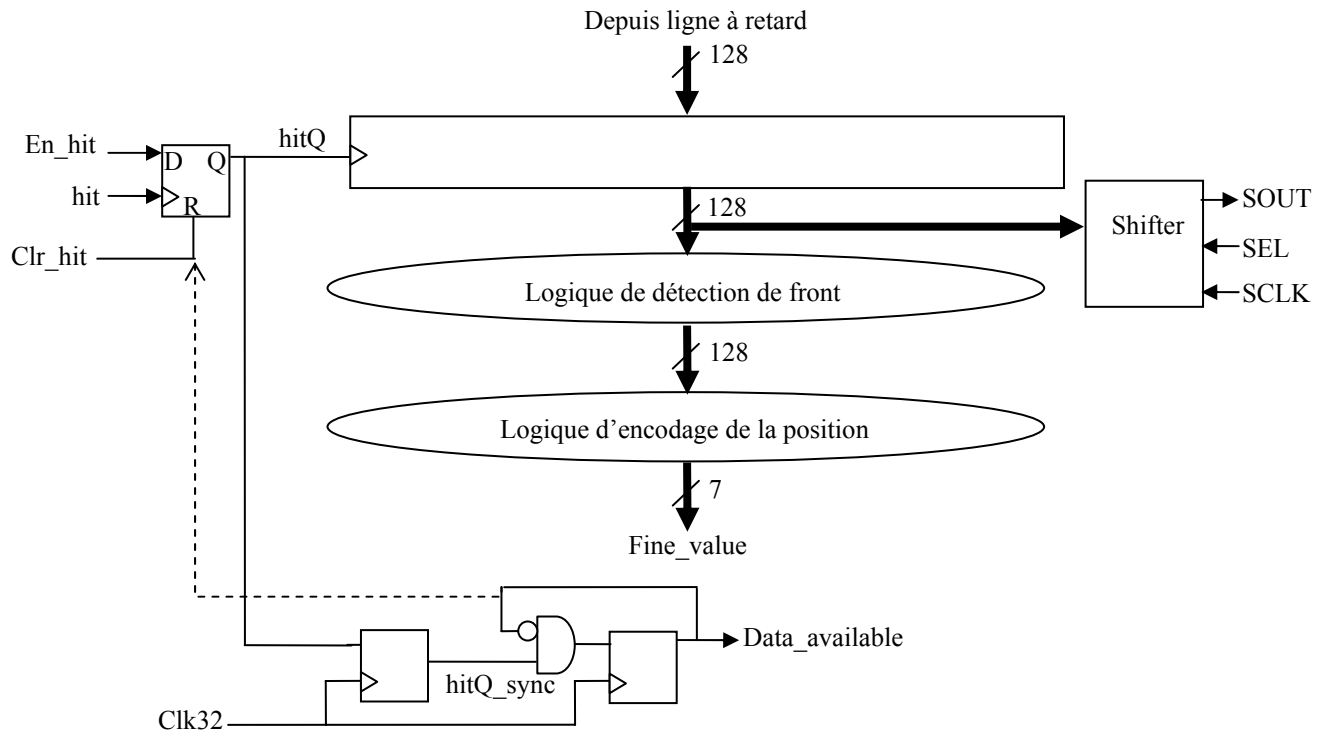


Figure 11 : Registre de mémorisation (intégrée en full custom) et génération de `data_available`

Les points critiques à respecter lors du layout sont :

- un arbre d'horloge très bien équilibré ;
- des retards d'interconnexions aux entrées qui soient égaux entre eux ;
- temps de résolution maximisé entre les 2 bascules resynchronisées ;

Le temps d'une architecture de ce type (si on effectue un ***clear_hit*** immédiat) sera compris entre 2 et 3 périodes d'horloge, ceci est le mode de fonctionnement normal.

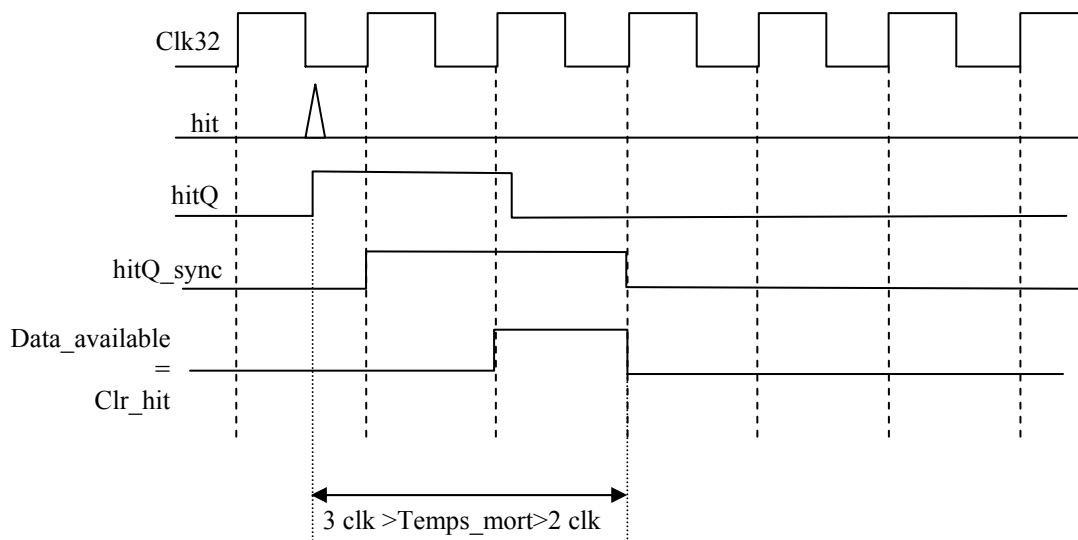


Figure 12 : Chronogramme du temps mort du TDC

6.2.3 Bloc de décodage de l'état de la ligne à retard

Avant d'entrer dans la logique de décodage, il convient de rappeler à quoi peut ressembler l'état de la ligne. Raisonnons sur une ligne de 8 valeurs.

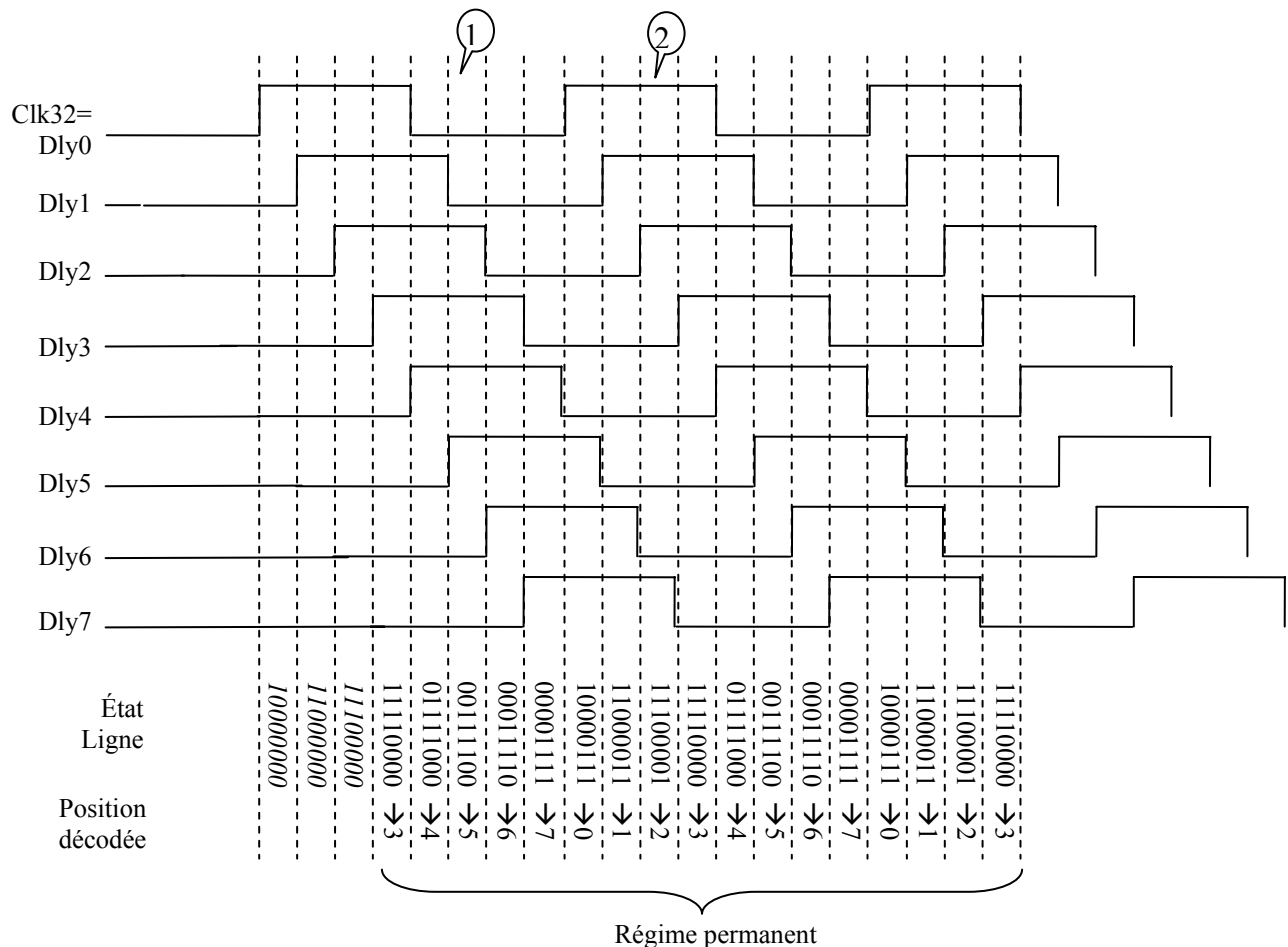


Figure 13 : Chronogramme des horloges retardées

La figure permet de bien comprendre quelle serait la valeur chargée dans le vecteur d'état de ligne si un hit arrivait dans l'un de ces pas. Prenons 2 exemples :

- Hit n°1 : l'état de la ligne est $(00111100)_{\text{bin}}$, dans ce cas, il faudrait décoder la valeur 5, car le front montant est sur la ligne dly5 ;
- Hit n°2 : l'état de la ligne est $(11100001)_{\text{bin}}$, dans ce cas, il faudrait décoder la valeur 2, car le front montant est sur la ligne dly2 ;

Pour permettre de faire fonctionner un décodage, il faut d'abord déterminer à partir du vecteur sauvegardé, où se trouve le front montant. Or, il est aisé de constater que la position du front montant se trouve à l'endroit du vecteur où l'on aperçoit le passage de $1 \rightarrow 0$;

Exemple du hit n°1 :

Numéro de delay	0	1	2	3	4	5	6	7
Vecteur d'état	0	0	1	1	1	1	0	0
Position $1 \rightarrow 0$	0	0	0	0	0	1	0	0

Exemple du hit n°2 :

Numéro de delay	0	1	2	3	4	5	6	7
Vecteur d'état	1	1	1	0	0	0	0	1
Position $1 \rightarrow 0$	0	0	1	0	0	0	0	0

Pour permettre de détecter ce passage, il suffit d'utiliser la cellule de base ci-dessous :

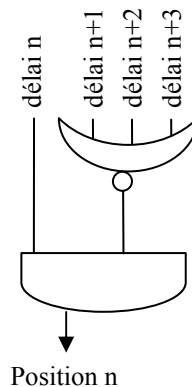


Figure 14 : Détection de la position du front

Ce système de détection de front peut être mis en difficulté dans 2 conditions :

- du côté du front montant, il faudrait que 4 bascules de suite soient métastables pour faire une mauvaise détection de front (erreur du type 111**1000**1000 ;
- du côté du front descendant, il faudrait aussi que 4 bascules présentent un défaut (0000**1000**1111) ;

4 bascules correspondent à un temps équivalent de 1000 ps ...

Ce raisonnement peut être facilement étendu à 128 bits.

Maintenant que la position du basculement est connue, il suffit de l'encoder. Ce n'est pas difficile dans la mesure où il n'y qu'un seul '1' à trouver. Comme précédemment raisonnons sur 8 positions, donc sur 3 bits une fois encodé :

1 en Pos X	Bit 2	Bit 1	Bit 0	Fanout de la position
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	2
4	1	0	0	1
5	1	0	1	2
6	1	1	0	2
7	1	1	1	3

En regardant ce tableau, il est aisé de s'apercevoir que :

- **Bit₀** = Pos1 **or** Pos3 **or** Pos5 **or** Pos7 ;
- **Bit₁** = Pos2 **or** Pos3 **or** Pos6 **or** Pos7 ;
- **Bit₂** = Pos4 **or** Pos5 **or** Pos6 **or** Pos7 ;

Ainsi chaque encodage de bit a 4 bits d'entrée (fanin) soit $n_{\text{be_positions}}/2$. Le fanout maximum subit par le vecteur position est la taille du vecteur encodé, soit 3 bits.

En généralisant ce raisonnement pour un vecteur de position ayant 2^n bits vers un encodeur $2^n \rightarrow n$, il faut générer l'équation du Bit_n comme suit :

```

Bitn=0 ;
TANT QUE 0<i<2n faire
    SI (i&(n+1)) ≠ 0 faire                ## ici masquage
    Bitn=Bitn OU Pos(n) ;
    Fin SI ;
Fin TANTQUE ;

```

A la fin de ces opérations, une valeur encodée sur 7 bits sera disponible. Cependant, il faudra la rattacher à une valeur grossière (coarse) pour qu'elle ait un sens.

L'un des points critiques à respecter impérativement lors du layout est de faire attention aux problèmes de métastabilités, il ne doit pas y avoir de risque de décodage de 2 fronts montant. Pour ce faire, le setup+hold time du registre de mémorisation doit être bien inférieur au pas de la ligne à retard (même en worst case);

6.2.4 Partie comptage synchrone

Lorsqu'un hit arrive, la fraction de période correspondant à celui-ci est encodée et fournie. Le problème restant en suspens, est de pouvoir associer cette fraction à la période correspondante. Pour ce faire, deux compteurs sont utilisés, l'un est incrémenté sur le front montant de l'horloge, et l'autre est incrémenté sur le front descendant. Il faut utiliser 2 compteurs car le hit pouvant arriver n'importe quand, il convient d'éviter d'échantillonner un compteur qui est entrain de changer.

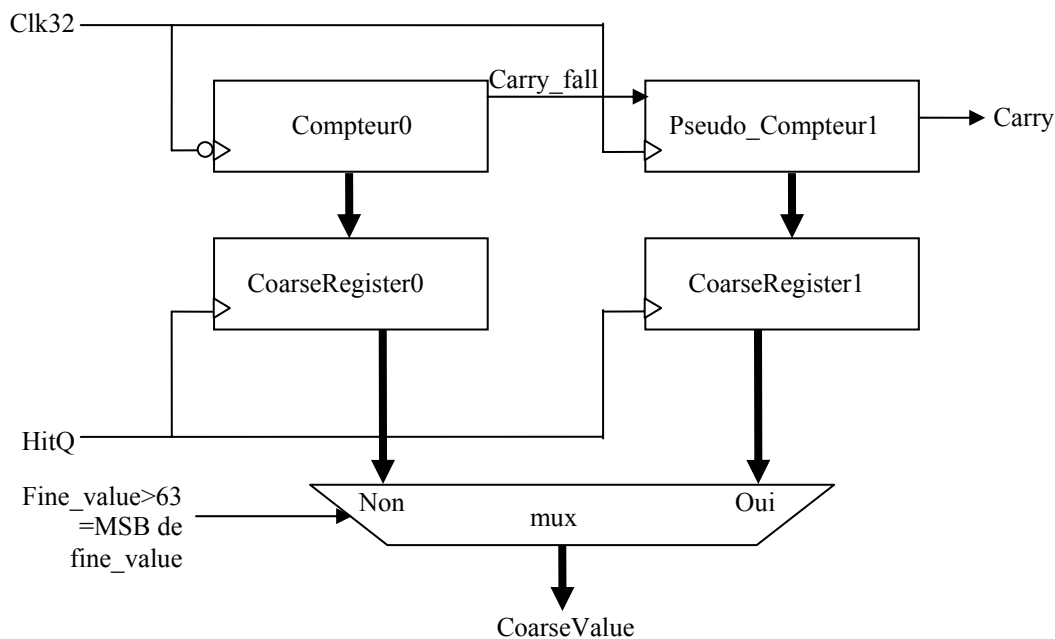


Figure 15 : Utilisation des compteurs « grossiers »

Chronogrammes :

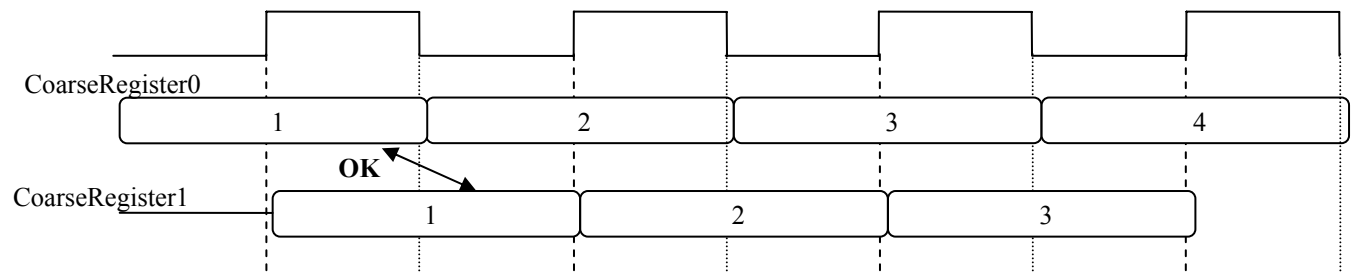


Figure 16 : Illustration de l'utilisation des 2 compteurs

Si on tient compte des t_{co} , on s'aperçoit que :

- si $0 \leq \text{fine_value} \leq 63$ il faut utiliser la valeur contenue dans CoarseRegister0 ;
- si $64 \leq \text{fine_value} \leq 127$ il faut utiliser la valeur contenue dans CoarseRegister1 ;

Il faut veiller à prendre une précaution supplémentaire : à la sortie du reset, le premier compteur à s'incrémenter doit absolument être le **compteur0**. Il faut donc compter sur front descendant et garder une image de cette valeur dans un registre chargé sur front montant (pseudo_compteur1).

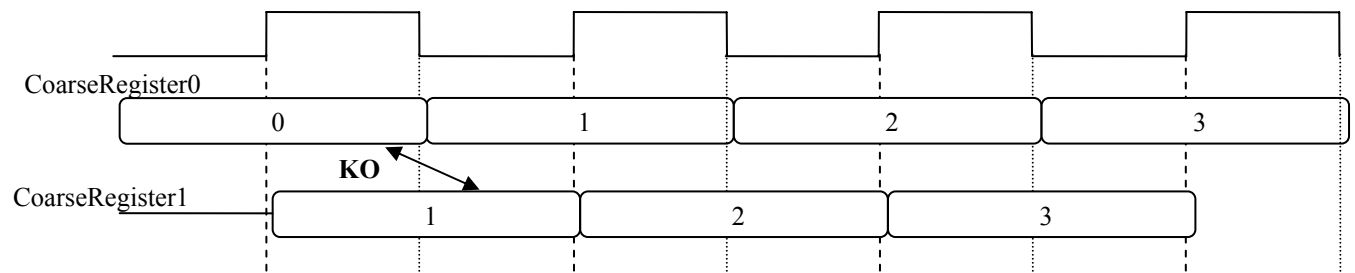
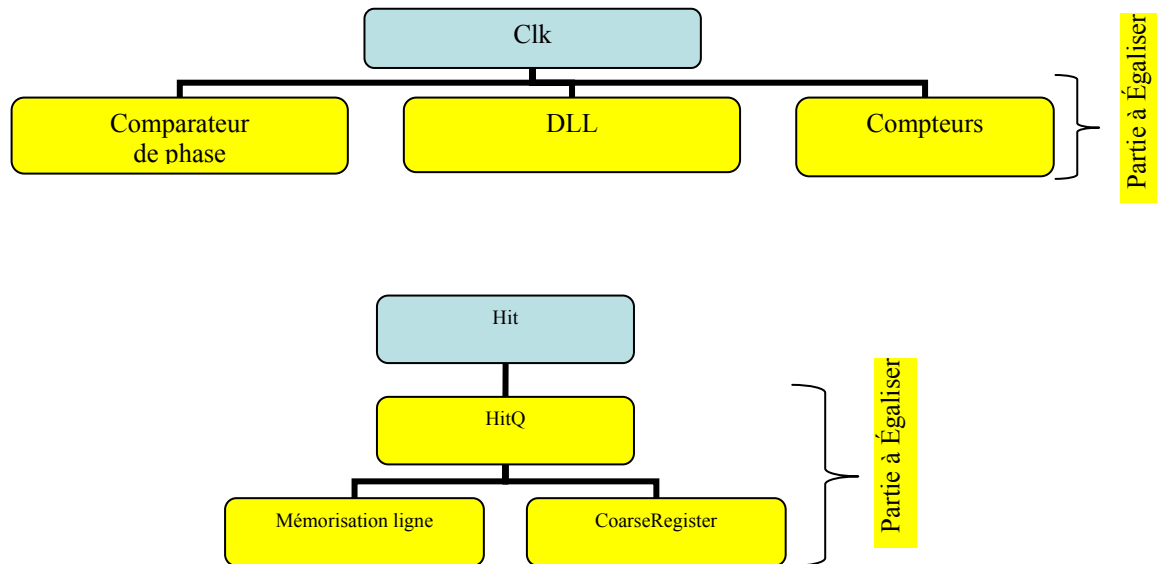
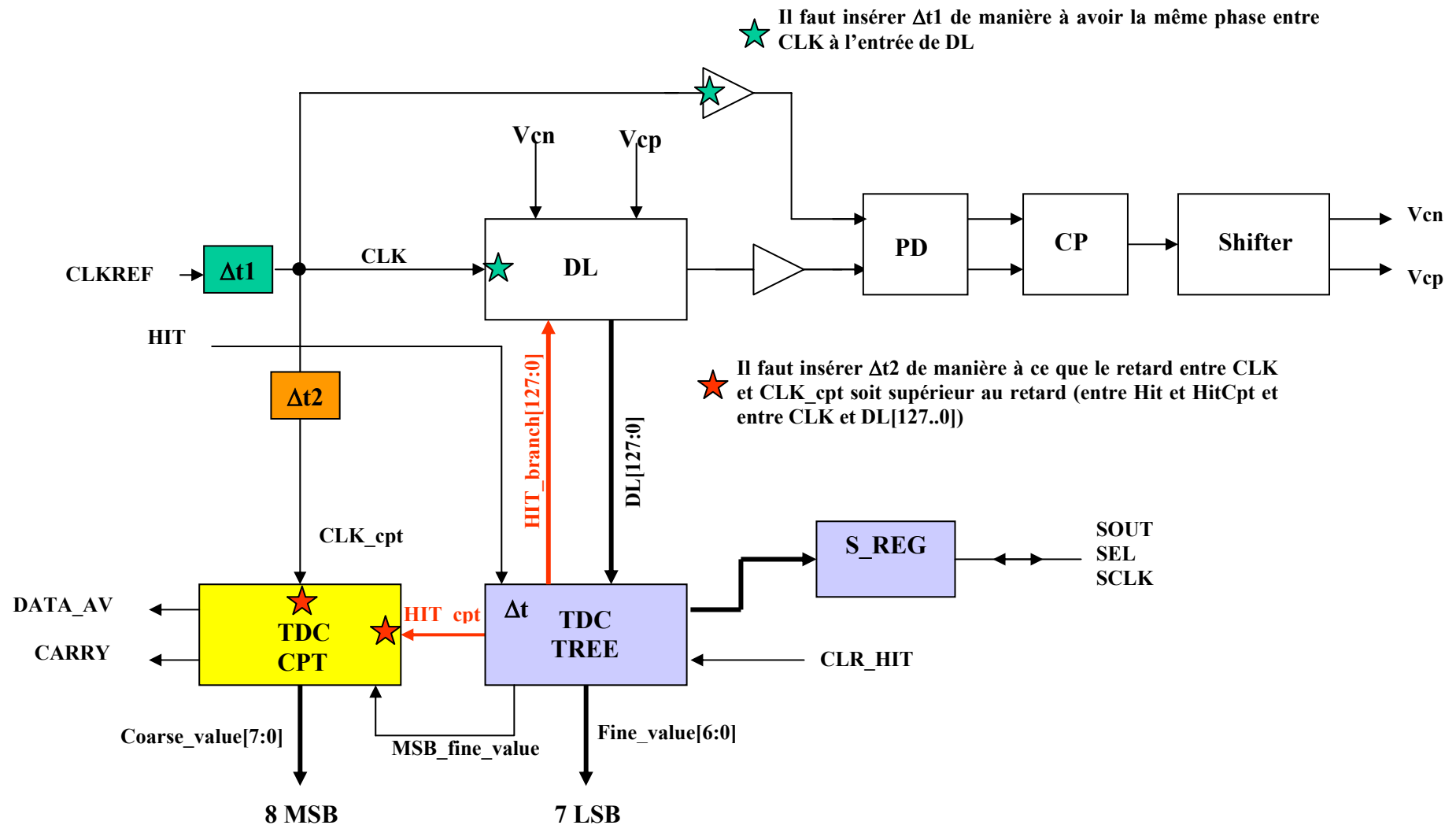


Figure 17 : Fonctionnement avec compteurs mal démarrés

6.2.5 Précautions de routage

Pour que le système d'aiguillage fonctionne toujours, il faut que pour une impulsion sur hit et un front montant sur clk les fronts parviennent quasiment au même moment sur les CoarseRegister, mémoire de ligne et sur les compteurs. En bref les chemins clk et hit, HitQ doivent être équilibrés.

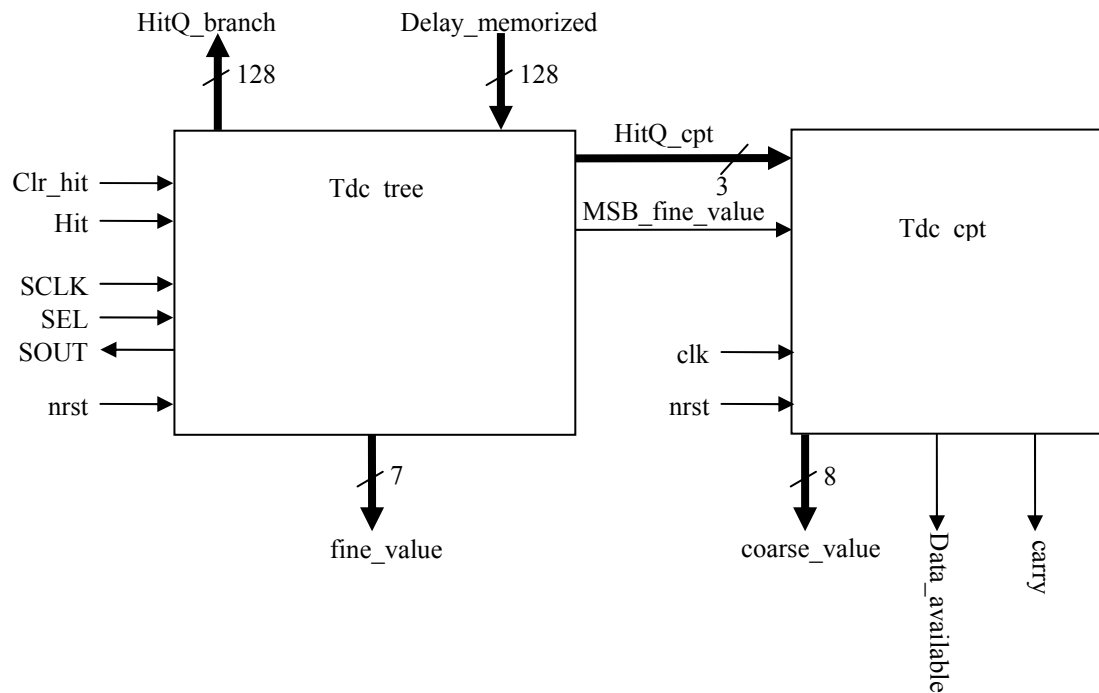




7 Implantation

Pour des raisons de facilités de routage et d'implantation, le design est séparé en 2 parties :

- génération d'arbre d'horloge et encodage de la position (la mémorisation est faite dans la partie full custom) ;
- la partie comptage grossière et génération ;

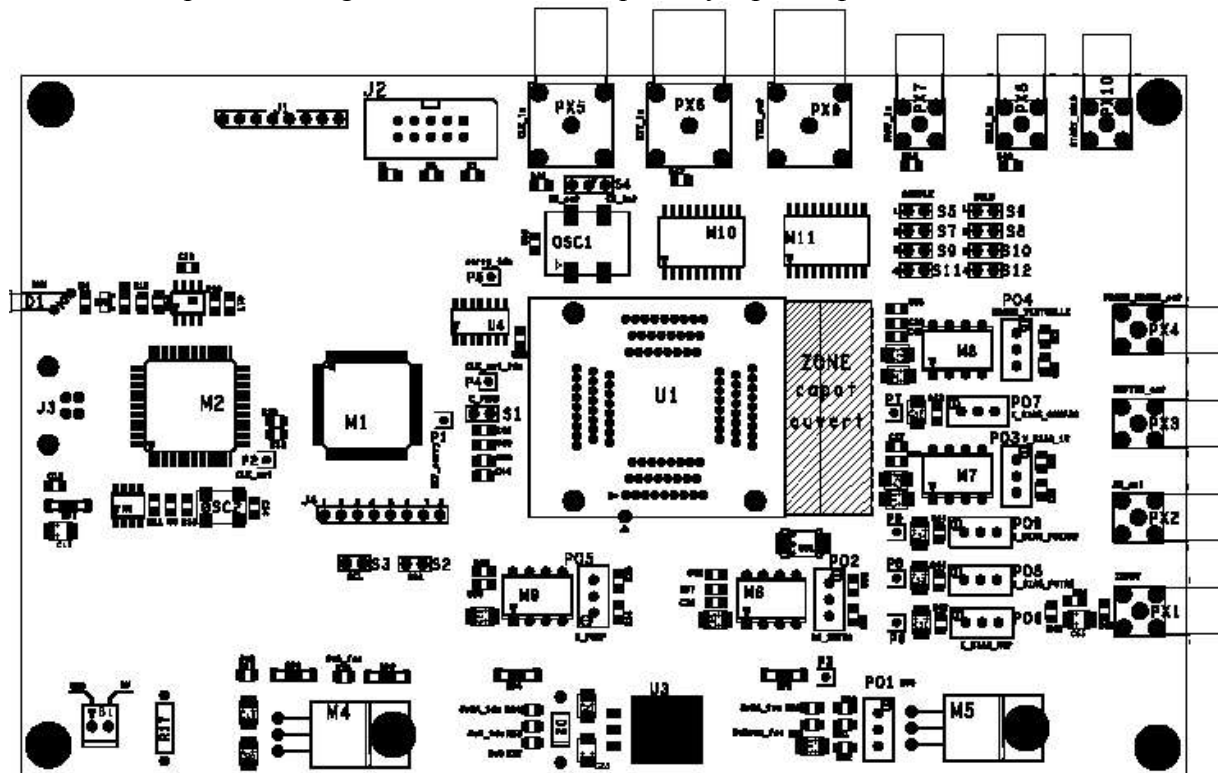


8 Test du circuit

Pour tester ce circuit, une carte ainsi qu'un logiciel ont été développés.

8.1 Carte de test

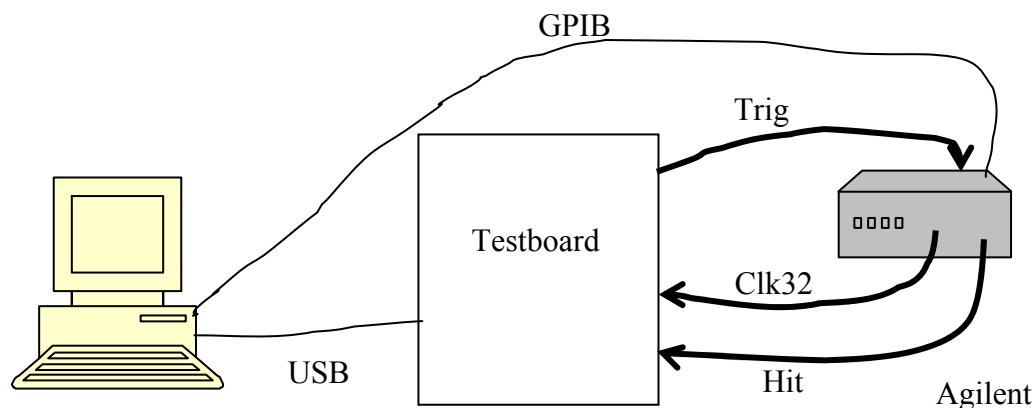
La carte de test a été développée en vue de pouvoir tester de manière exhaustive le circuit, que ce soit en linéarité intégrale ou différentielle. Cette carte est contrôlée par le port USB d'un PC. Elle permet aussi dans le mode espionnage de récupérer l'état de la ligne de retard afin de bien vérifier que l'encodage se déroule bien et qu'il n'y a pas trop de métastabilité.



L'horloge de référence du TDC peut être soit issue de :

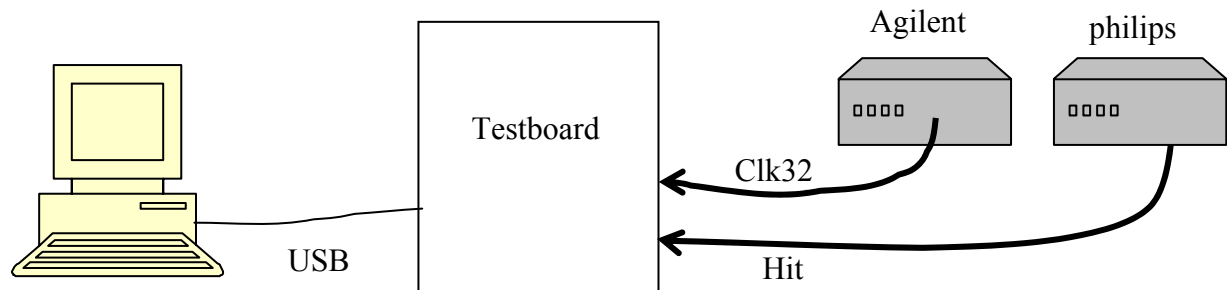
- l'oscillateur local (32MHz) ;
- l'entrée horloge (par BNC) ;

8.1.1 Méthode de mesure de la linéarité intégrale



Les impulsions HIT qui servent à tester le TDC sont déclenchées grâce à la sortie trig de la carte de test, et le retard entre trig et HIT est configuré sur le générateur de signaux.

8.1.2 Méthode de mesure de la linéarité différentielle

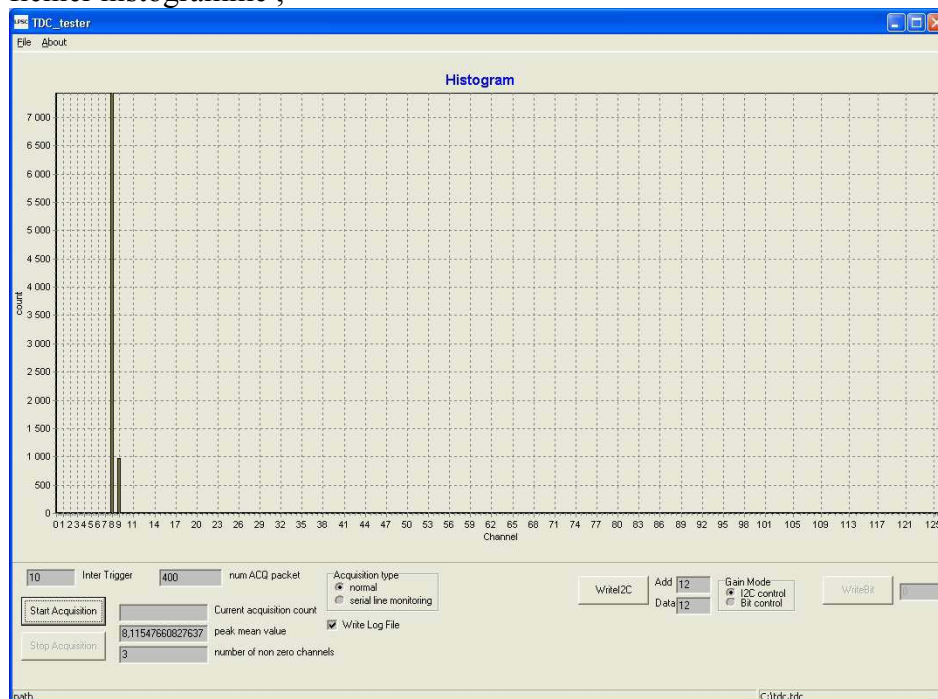


Il faut utiliser 2 générateurs différents de façon à avoir un glissement entre les phases des 2 générateurs, ainsi toutes les valeurs de retard devraient être balayées.

8.2 Logiciel de test

Celui-ci permet de paramétrer le test et de récupérer les résultats de mesure de façon à les présenter sous forme :

- d'affichage d'histogramme avec calcul de médiane ;
- de fichier liste ;
- de fichier histogramme ;



8.3 Résultat du test des cinq prototypes

Les 5 circuits, tous fonctionnels, ont été testés à la fois à température ambiante, avec chute de température rapide (bombe à froid) et dans le cryostat servant au test des modules de xénon liquide.

Pour ces prototypes, le signal d'horloge a été prélevé à l'extrémité de la ligne à retard et connecté à une patte du boîtier. Ceci a permis de vérifier la bonne conservation du rapport cyclique de ce signal (50%). La comparaison de ce même signal, à l'entrée et la sortie de la ligne, permet également de mesurer le jitter introduit par la DLL. La valeur RMS de ce jitter, mesurée avec un oscilloscope **TDS5104** (1Ghz, 5Gs/s), est de 30ps (c'est-à-dire inférieure ou égale à la résolution de l'oscilloscope).

La **Figure 18** montre la non linéarité différentielle pour les 5 circuits. Elle est inférieure ou égale à +/- 20% à l'exception des deux derniers canaux. Ce problème pour les canaux 126 et 127 a été analysé et son origine cernée (layout).

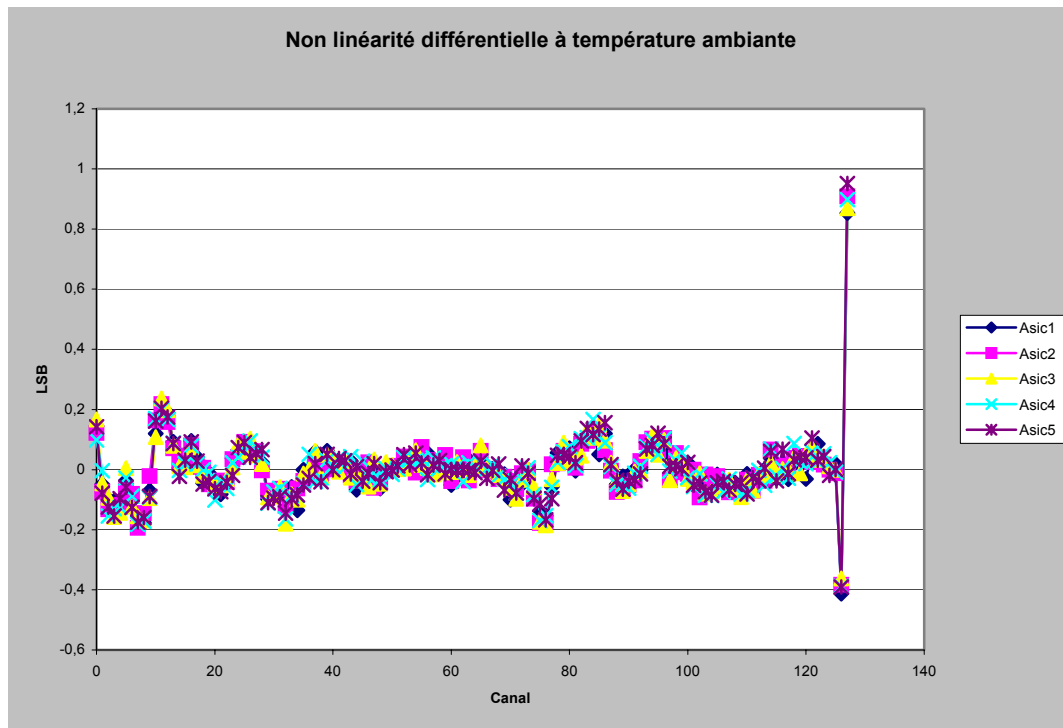


Figure 18 : Non linéarité différentielle

Dans une application tomographe la résolution nécessaire pour réaliser les coïncidences est de l'ordre de la nanoseconde, la non linéarité de ce CTN est donc compatible avec cette contrainte. Il est néanmoins remarquable que les courbes correspondant aux cinq circuits se superposent parfaitement. Ceci montre que cette non linéarité est dominée par des effets systématiques qui, si ils sont identifiés, pourraient être corrigés. Une autre méthode pour mettre en évidence cette non linéarité est d'injecter dans le CTN des signaux STOP dont le retard est connu. La figure ci dessous montre le balayage des canaux 9 et 10 du CTN par pas de 10ps.

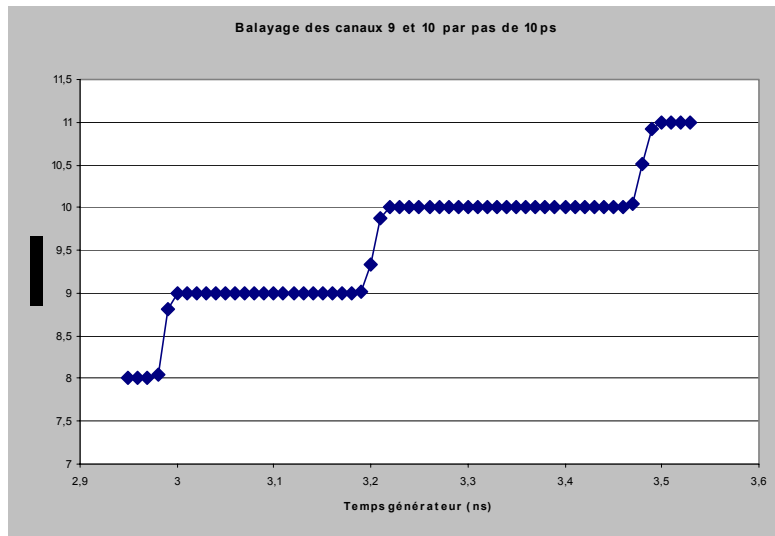


Figure 19 : balayage des canaux 9 et 10 du CTN

8.4 Résumé des caractéristiques du CTN à température ambiante :

- résolution typique : 244ps pour 32MHz
- gamme de fonctionnement de la ligne à retard : de 13MHz à 40MHz
- gamme de verrouillage de la DLL : de 20MHz à 40MHz
- non linéarité différentielle : + /- 20% (0.2 LSB)
- non linéarité intégrale : <1%
- dispersion : pour un même retard les 5 circuits donnent la même mesure
- consommation : 14mW (190 μ A sur 3V3A et 3,9mA sur 3V3D)
- Largeur à mi hauteur : entre 1 et 2 canaux

Les tests dans le cryostat ont montré que le CTN fonctionne au moins jusqu'à une température de -120°C. La non linéarité différentielle reste inchangée et la gamme de fonctionnement de la ligne à retard s'étend de 15MHz à 50MHz.

9 Références :

REF 1 : S. JAN et al, « An Integrated 16-channel CMOS Time to Digital Converter », *IEEE TRANSACTION ON NUCLEAR SCIENCE*, VOL 52, 2005, p102-106.

REF 2 : S. JAN, Thèse de doctorat en physique « simulateur Monte-Carlo et camera à Xénon liquide pour la tomographie à émission de positons », ISN02-49, septembre 2002.

REF 3 : C. Ljuslin, « An Integrated 16-channel CMOS Time to Digital Converter », *IEEE TRANSACTION ON NUCLEAR SCIENCE*, VOL 41, NO 4, AUGUST 1994.

REF 4 : Dinis M. Santos, Scott F. Dow, Michael E. Levi "A CMOS Delay Locked Loop and Sub-Nanosecond Time to Digital Converter Chip" *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, VOL 43, N° 3, June 1996 P.1717

REF 5 : Henrik O. Johansson "A Simple Precharged CMOS Phase Frequency Detector" *IEEE JOURNAL OF SOLID STATE CIRCUIT*, VOL 33, N° 2, FEBRUARY 1998 p. 295

REF 6 : Daniel DZAHINI "Precise Delay and Subgate Resolution Digital Mean Timer", ISN Note 99.11, 1999